

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-020452

(43)Date of publication of application : 21.01.2000

(51)Int.Cl. G06F 13/18
G06F 12/00
G06F 13/28
G06F 13/362

(21)Application number : 10-190011

(71)Applicant : CANON INC

(22)Date of filing : 06.07.1998

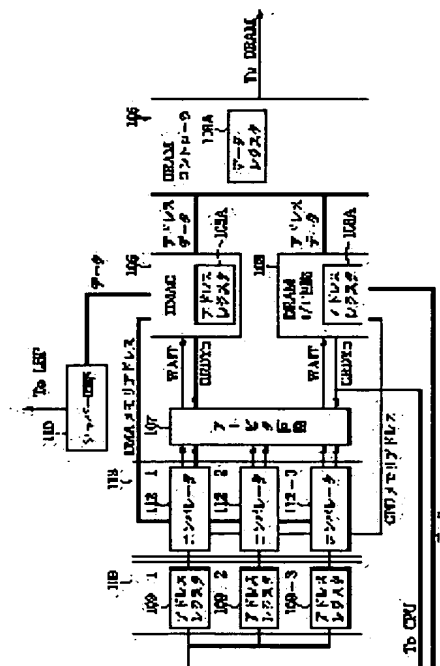
(72)Inventor : OYAMA NAOKI

(54) MEMORY ACCESS CONTROLLER, PRINTING CONTROLLER, MEMORY ACCESS METHOD FOR MEMORY ACCESS CONTROLLER AND MEMORY ACCESS METHOD FOR PRINTING CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To remarkably improve efficiency for writing or reading data stored in a specified area by freely setting the environment of access to the data stored in the specified area.

SOLUTION: Address registers 109-1 to 109-3 set the right of access to each CPU and DMAC 105 for each arbitrary area inside a memory area to be accessed by the CPU and DMAC 105 and comparators 112-1 to 112-3 determine the access right so as to respectively take priority over the access of high priority corresponding to the state of access to this arbitrary area.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-20452
(P2000-20452A)

(43)公開日 平成12年 1月21日 (2000.1.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 6 F 13/18	5 1 0	G 0 6 F 13/18	5 1 0 A 5 B 0 6 0
12/00	5 7 1	12/00	5 7 1 B 5 B 0 6 1
13/28	3 1 0	13/28	3 1 0 M
13/362	5 1 0	13/362	5 1 0 D

審査請求 未請求 請求項の数12 O L (全 16 頁)

(21)出願番号 特願平10-190011
(22)出願日 平成10年 7 月 6 日 (1998.7.6)

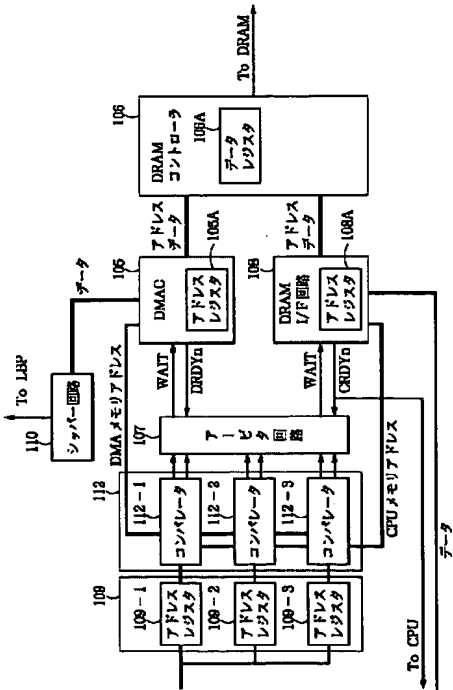
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 大山 直樹
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74)代理人 100071711
弁理士 小林 将高
Fターム(参考) 5B060 CD12 KA03 KA04
5B061 BA01 BA03 BB01 BC01 DD01
DD11

(54)【発明の名称】 メモリアクセス制御装置および印刷制御装置およびメモリアクセス制御装置のメモリアクセス方
法および印刷制御装置のメモリアクセス方法

(57)【要約】

【課題】 特定の領域に記憶されるデータに対するアク
セス環境を自在に設定して、特定の領域に記憶されるデ
ータ書き込みまたは読み出し効率を格段に向上させるこ
とである。

【解決手段】 CPUとDMAC105とがアクセスす
るメモリ領域中の任意の領域毎に各CPUとDMAC1
05に対するアクセス権をアドレスレジスタ109-1
~109-3により設定し、該任意の領域に対するアク
セス状態に応じてそれぞれ優先順位の高いアクセスを優
先するようにアクセス権をコンパレータ112-1~1
12-3により決定する構成を特徴とする。



(2)

1

【特許請求の範囲】

【請求項1】 所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停可能なメモリアクセス制御装置であって、

前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定手段と、

前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定手段と、を有することを特徴とするメモリアクセス制御装置。

【請求項2】 前記決定手段は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定することを特徴とする請求項1記載のメモリアクセス制御装置。

【請求項3】 前記決定手段は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定することを特徴とする請求項1記載のメモリアクセス制御装置。

【請求項4】 所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停しながら印刷データを処理する印刷制御装置であって、

前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定手段と、

前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定手段と、を有することを特徴とする印刷制御装置。

【請求項5】 前記決定手段は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定することを特徴とする請求項4記載の印刷制御装置。

【請求項6】 前記決定手段は、第1と第2のユニット

2

の一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定することを特徴とする請求項4記載の印刷制御装置。

【請求項7】 所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停可能なメモリアクセス制御装置のメモリアクセス方法であって、

前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程と、

前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定工程と、を有することを特徴とするメモリアクセス制御装置のメモリアクセス方法。

【請求項8】 前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定することを特徴とする請求項7記載のメモリアクセス制御装置のメモリアクセス方法。

【請求項9】 前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定することを特徴とする請求項7記載のメモリアクセス制御装置のメモリアクセス方法。

【請求項10】 所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停しながら印刷データを処理する印刷制御装置のメモリアクセス方法であって、

前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程と、

前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方

3

を優先させるようにアクセス権を決定する決定工程と、を有することを特徴とする印刷制御装置のメモリアクセス方法。

【請求項11】 前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定することを特徴とする請求項10記載の印刷制御装置のメモリアクセス方法。

【請求項12】 前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定することを特徴とする請求項10記載の印刷制御装置のメモリアクセス方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、読み出し、書き出し可能なメモリに対するCPUとダイレクトメモリアクセスコントローラとのアクセスを調停制御するメモリアクセス制御装置および該メモリアクセス制御装置を備える印刷制御装置およびメモリアクセス制御装置のメモリアクセス方法および印刷制御装置のメモリアクセス方法に関するものである。

【0002】

【従来の技術】従来、この種のメモリアクセス制御装置において、CPUとDMACがRAMにデータを書き込みに行く場合に、調停回路を持ちCPU、DMACのどちらかにアクセスを決定するのは周知の事実である。例えばこの種の装置が適用されるページプリンタにおいて、内蔵するメモリから画像出力回路（以降シッパー回路）に対してデータをダイレクトメモリアクセス（DMA）を用いて転送することも周知の方法の1つである。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来例では、例えば印刷開始後にメモリからシッパー回路に対してDMAでデータ転送した際に、CPU等のメモリアクセスによりシッパーDMAのバス占有率が低下した場合にはオーバーランという、すなわちエンジンの画像を出力していくための規定時間にメモリアクセスが追いつかない状態になり、印刷結果が不良となってしまう問題点があった。

【0004】従って、印字開始後のメモリアクセスはシッパー回路のDMAを最優先にする必要があるが、印刷中にシッパー回路のみメモリアクセスを許可するようにすればよいものでもない。

(3)

4

【0005】本発明は上記の問題点を解消するためになされたもので、本発明の目的は、複数のアクセスユニットがアクセスするメモリ領域中の任意の領域毎に各ユニットに対するアクセス権を設定し、該任意の領域に対するアクセス状態に応じてそれぞれ優先順位の高いアクセスを優先するようにアクセス権を決定することにより、従来のようなメモリ領域全体に対するアクセス権の設定によらず、メモリ領域の特定の領域毎に複数のメモリアクセスユニットに対して個別的にアクセス権を設定することができ、特定の領域に記憶されるデータに対するアクセス環境を自在に設定して、特定の領域に記憶されるデータ書き込みまたは読み出し効率を格段に向上させることができ、例えば記憶させるデータが印刷データであれば従来問題とされているデータ転送規定時間内に意図する印刷データをプリンタエンジンに転送して、転送エラーの発生を確実に防止することもできるメモリアクセス制御装置および印刷制御装置およびメモリアクセス制御装置のメモリアクセス方法および印刷制御装置のメモリアクセス方法を提供することである。

20 【0006】

【課題を解決するための手段】本発明に係る第1の発明は、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停可能なメモリアクセス制御装置であって、前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定手段と、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定手段とを有するものである。

30 【0007】本発明に係る第2の発明は、前記決定手段は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するものである。

40 【0008】本発明に係る第3の発明は、前記決定手段は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するものである。

50 【0009】本発明に係る第4の発明は、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセ

(4)

5

スにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停しながら印刷データを処理する印刷制御装置であって、前記メモリ中の任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定手段と、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定手段とを有するものである。

【0010】本発明に係る第5の発明は、前記決定手段は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するものである。

【0011】本発明に係る第6の発明は、前記決定手段は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するものである。

【0012】本発明に係る第7の発明は、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停可能なメモリアクセス制御装置のメモリアクセス方法であって、前記メモリ中の任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程と、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定工程とを有するものである。

【0013】本発明に係る第8の発明は、前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するものである。

【0014】本発明に係る第9の発明は、前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定工程により設定さ

6

れた前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するものである。

【0015】本発明に係る第10の発明は、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停しながら印刷データを処理する印刷制御装置のメモリアクセス方法であって、前記メモリ中の任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程と、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定工程とを有するものである。

【0016】本発明に係る第11の発明は、前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するものである。

【0017】本発明に係る第12の発明は、前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するものである。

【0018】

【発明の実施の形態】〔第1実施形態〕本実施形態の構成を説明する前に、本実施形態を適用するに好適なレーザービームプリンタおよびインクジェットプリンタの構成について図1～図3を参照しながら説明する。なお、本実施形態を適用するプリンタは、レーザービームプリンタおよびインクジェットプリンタに限られるものではなく、他のプリント方式のプリンタでも良いことは言うまでもない。

【0019】図1は、本発明を適用可能な第1の出力装置の構成を示す断面図であり、例えばレーザービームプリンタ(LBP)の場合を示す。

【0020】図において、1500はLBP本体であり、外部に接続されているホストコンピュータから供給される印刷情報(文字コード等)やフォーム情報あるいはマイクロ命令等を入力して記憶するとともに、それらの情報に従って対応する文字パターンやフォームパターン等を作成し、記録媒体である記録紙等に像を形成す

(5)

7

る。1501は走査のためのスイッチおよびLED表示器等が配されている操作パネル、1000はプリンタ制御ユニットで、LBP本体1500全体の制御およびホストコンピュータから供給される文字情報等を解析する。このプリンタ制御ユニット1000は、主に文字情報を対応する文字パターンのビデオ信号に変換してレーザドライバ1502に出力する。

【0021】レーザドライバ1502は半導体レーザ1503を駆動するための回路であり、入力されたビデオ信号に応じて半導体レーザ1503から発射されるレーザ光1504をオン・オフ切り換えする。レーザ光1504は回転多面鏡1505で左右方向に振られて静電ドラム1506上を走査露光する。これにより、静電ドラム1506上には文字パターンの静電潜像が形成されることになる。この潜像は、静電ドラム1506周囲に配置された現像ユニット1507により現像された後、記録紙に転写される。

【0022】この記録紙にはカットシートを用い、カットシート記録紙はLBP本体1500に装着した用紙カセット1508に収納され、給紙ローラ1509および搬送ローラ1510と搬送ローラ1511とにより、装置内に取り込まれて、静電ドラム1506に供給される。また、LBP本体1500には、図示しないカードスロットを少なくとも1個以上備え、内蔵フォントに加えてオプションフォントカード、言語系の異なる制御カード（エミュレーションカード）を接続できるように構成されている。

【0023】図2は、本発明を適用可能な第2の出力装置の構成を示す外観図であり、例えばインクジェット記録装置（IJRA）の場合を示す。

【0024】図において、5013は駆動モータで、該駆動モータ5013の正逆回転に連動して駆動力伝達ギア5009、5011を介して回転するリードスクリュー5005の螺旋溝5004に対して係合するキャリッジHCはピン（図示しない）を有し、ガイドレール5003を介して図中の矢印a、b方向に往復移動される。このキャリッジHCには、インクジェットヘッドIJH、インクタンクITを備えるインクジェットカートリッジIJCが搭載されている。

【0025】5002は紙押え板であり、キャリッジ移動方向にわたって紙Pをプランテン5000に対して押圧する。5007、5008はフォトカブラで、キャリッジHCのレバー5006の位置の存在を配設域で確認して、駆動モータ5013の回転方向切り換え等を行うためのホームポジション検知手段として機能する。

【0026】5016は支持部材で、記録ヘッドとしてのインクジェットヘッドIJHの全面をキャップするキャップ部材5022を支持する。5015は吸引部で、上記キャップ部材5022を吸引する吸引手段として機能し、キャップ部材5022の内開口5023を介して

8

インクジェットヘッドIJHの吸引回復を行う。

【0027】5017はクリーニングブレードで、部材5019により前後方向に移動可能となる。5018は本体支持板で、上記クリーニングブレード5017、部材5019を支持する。5012は吸引回復の吸引を開始するためのレバーで、キャリッジHCと係合するカム5020の移動に伴って移動し、駆動モータ5013からの駆動力がクラッチ切り換え等の公知の伝達手段で移動制御される。

10 【0028】これらのキャッピング、クリーニング、吸引回復は、キャリッジHCがホームポジション側領域にきたときにリードスクリュー5005の作用によってそれらの対応位置で所望の処理が行えるように構成されているが、周知のタイミングで所望動作を行うように構成されていけばよい。

【0029】図3は、図2に示した第2の出力装置の制御構成を説明するブロック図である。

20 【0030】図において、1700はインタフェースで、図示しないホストとの通信処理を担い、入力される記録信号を所定のプロトコルで受信処理する。1701はMPUで、ROM1702に記憶される制御プログラムに基づいて各部を総括的に制御する。なお、ROM1702には、MPU1701が実行する制御プログラムやホスト印刷情報、プリンタフォント情報等が格納されている。

30 【0031】1703は拡張可能なDRAMで、各種データ（上記記録信号やヘッドに供給される記録データ等）を保存しておく。1704はゲートアレイ（G.A.）で、図2に示したインクジェットヘッドIJHに対応する記録ヘッド1708に対する出力データの供給制御を行う。また、ゲートアレイ1704は、インタフェース1700、MPU1701、DRAM1703間のデータの転送制御も行う。

【0032】1710はキャリアモータで、前記記録ヘッド1708を搬送する。1709は搬送モータで、記録用紙を搬送する。1705はヘッドドライバで、前記記録ヘッド1708を駆動する。1706はモータドライバで、前記搬送モータ1709を駆動する。1707はモータドライバで、前記キャリアモータ1710を駆動する。

40 【0033】このように構成された上記印刷装置において、インタフェース1700を介して後述するホストコンピュータ3000より入力情報が入力されると、ゲートアレイ1704とMPU1701との間で入力情報がプリント用の出力情報に変換される。そして、モータドライバ1706、1707が駆動されるとともに、ヘッドドライバ1705に送られた出力情報に従って記録ヘッド1708が駆動され印字が実行される。

50 【0034】なお、MPU1701はインタフェース1700を介して後述するホストコンピュータ3000と

9

の通信処理が可能となっており、DRAM 1703 に関するメモリ情報および資源データ等やROM 1702 内のホスト印刷情報を後述するホストコンピュータ 3000 に通知可能に構成されている。

【0035】図4は、本発明の第1実施形態を示す印刷制御装置を適用可能な印刷システムの構成を説明するブロック図である。なお、ここでは、レーザビームプリンタ(図1)を例にして説明する。また、本発明の機能が実行されるのであれば、単体の機器であっても、複数の機器からなるシステムであっても、LAN等のネットワークを介して処理が行われるシステムであっても本発明を適用できることは言うまでもない。

【0036】図において、3000はホストコンピュータで、ROM3のプログラム用ROMに記憶された文書処理プログラム等に基づいて図形、イメージ、文字、表(表計算を含む)等が混在した文書処理を実行するCPU1を備え、システムバス4に接続される各デバイスをCPU1が総括的に制御する。

【0037】また、このROM3のプログラム用ROMには、CPU1の制御プログラム等を記憶し、ROM3のフォント用ROMには上記文書処理の際に使用するフォントデータ等を記憶し、ROM3のデータ用ROMは上記文書処理等を行う際に使用する各種データ(例えば、各種ページ記述言語のプログラムやフォントのラスライズ用データなど)を記憶している。

【0038】2はオプションRAM等により拡張可能なRAMで、CPU1の主メモリ、ワークエリア等として機能する。5はキーボードコントローラ(KBC)で、キーボード9や不図示のポインティングデバイスからのキー入力を制御する。

【0039】6はCRTコントローラ(CRTC)で、CRTディスプレイ(CRT)10の表示を制御する。6はCRTコントローラ(CRTC)で、CRTディスプレイ(CRT)10の表示を制御する。7はディスクコントローラ(DKC)で、ブートプログラム、種々のアプリケーション、フォントデータ、ユーザファイル、編集ファイル等を記憶するハードディスク(HD)、フロッピーディスク(FD)等の外部メモリ11とのアクセスを制御する。

【0040】8はプリンタコントローラ(PRTC)で、所定の双方向性インタフェース(インタフェース)21を介してプリンタ1500に接続されて、プリンタ1500との通信制御処理を実行する。なお、CPU1は、例えばRAM2の上に設定された表示情報RAM領域へのアウトラインフォントの展開(ラスライズ)処理を実行し、CRT10上でのWYSIWYGを可能としている。

【0041】また、CPU1は、CRT10上の不図示のマウスカーソル等で指示されたコマンドに基づいて登録された種々のウインドウを開き、種々のデータ処理を

(6)

10

実行する。

【0042】プリンタ1500において、12はプリンタCPU(CPU)で、ROM13のプログラム用ROMに記憶された制御プログラム等あるいは外部メモリ14に記憶された制御プログラム等に基づいてシステムバス15に接続される各種のデバイスとのアクセスを総括的に制御し、印刷部インタフェース16を介して接続される印刷部(プリンタエンジン)17に出力情報としての画像信号を出力する。

【0043】また、このROM13のプログラム用ROMには、図7のフローチャートで示されるようなCPU12が実行可能な制御プログラム等を記憶する。さらに、ROM13のフォント用ROMには上記出力情報を生成する際に使用するフォントデータ(アウトラインフォントデータを含む)等を記憶し、ROM13のデータ用ROMにはハードディスク等の外部メモリ14が無いプリンタの場合には、ホストコンピュータ3000上で利用される情報等を記憶している。

【0044】CPU12は入力部18を介してホストコンピュータ3000との通信処理が可能となっており、プリンタ1500内の情報等をホストコンピュータ3000に通知可能に構成されている。

【0045】19はRAMで、主としてCPU12の主メモリ、ワークエリア等として機能し、図示しない増設ポートに接続されるオプションRAMによりメモリ容量を拡張することができるように構成されている。

【0046】なお、RAM19は、出力情報展開領域、環境データ格納領域、NVRAM等に用いられる。前述したハードディスク(HD)、ICカード等の外部メモリ14は、ディスクコントローラ(DKC)20によりアクセスが制御される。外部メモリ14は、オプションとして接続され、フォントデータ(ホストコンピュータ3000等からダウンロードされるフォントデータを含む)、エミュレーションプログラム(ホストコンピュータ3000等からダウンロードされるエミュレーションプログラムを含む)、フォームデータ(ホストコンピュータ3000等からダウンロードされる)等を記憶する。

【0047】また、1501は前述した操作パネルで、操作のためのスイッチおよびLED表示器等が配されている。

【0048】また、前述した外部メモリは、1個に限らず、少なくとも1個以上備え、内蔵フォントに加えてオプションフォントカード、言語系の異なるプリンタ制御言語を解釈するプログラムを格納した外部メモリを複数接続できるように構成されていても良い。さらに、図示しないNVRAMを有し、操作パネル1501からのプリンタモード設定情報をユーザ別、グループ別に記憶するようにしても良い。

【0049】このように構成されたプリンタ制御システ

(7)

11

ムにおいて、RAM119上に確保されるバンドメモリ上で、複数のバンド境界に跨るような描画オブジェクトを展開する際においては、各バンド毎に毎回描画オブジェクトの先頭からデータ展開を行わず、描画シーケンスを描画該当バンド領域の境界手前まで達した時の状態に復帰できるようにして処理時間の短縮を図ろうとするものである。

【0050】図5は、本発明の第1実施形態を示すメモリアクセス制御装置の構成を説明するブロック図である。

【0051】図において、100はCPU、102はゲートアレイ（G. A.）で、DRAM111に対するアクセスを制御する。なお、DRAM111は、ページプリンタのメモリとして使用されるものであり、オプションRAMによりその容量を拡張可能に構成されている。

【0052】ゲートアレイ（G. A.）102において、104はI/Oレジスタで、DMAC105のスタートアドレス等や転送ブロックサイズを決定するソフトウェアで制御する。なお、DMAC105はDRAM111からCPU100を介さずにダイレクトにデータを

読み込むことができるリードDMAC（ダイレクト・メモリ・アクセス・コントローラ）として機能する。

【0053】106はDRAMコントローラで、GA102の外部に存在するDRAM111を制御する。なお、DRAM111はGA102内部に存在して、DRAMコントローラ106がアクセスを制御するものである。

【0054】107はアービタ回路で、CPU100からのアクセスによるDRAM制御とDMAC105からのアクセスによるDRAM制御とが同時あるいは近いタイミングの際にアクセスされるDRAMアドレスの範囲によりDMAC105からのアクセスを優先させるか、CPU100からのアクセスを優先させるかを決定する。

【0055】108はCPU用のDRAM I/F回路で、CPU100からのDRAMアクセスを制御する。109はアドレス領域決定レジスタで、CPU100から設定することによりDRAM111のアドレスの領域によりDRAMアクセスの優先順位を決定する。

【0056】110はシッパー回路で、DRAM111から印刷データを読み込みLBPエンジンに転送処理する。

【0057】上記のように構成された場合において、CPU100はDMAC用のI/Oレジスタ104をセットする。このDMAC用のI/Oレジスタ104にはDRAM111のどのアドレスからデータをリードするかを決定するために、DMACスタートアドレス用のレジスタと、幾つのブロック数をリードするかを決定するためのDMAC転送数レジスタと、DMAC105をスタートするためのDMACスタートレジスタ等がある。

12

【0058】CPU100がDMAC用のI/Oレジスタ104に諸パラメータをセットしDMAC105に起動をかけると、DRAMコントローラ106はDRAM111からデータをリードし、シッパー回路110にデータを転送しLBPエンジンに対してビデオデータをシッピングしていく。

【0059】CPU100がDRAM111にアクセスするとき、CPU用のDRAM I/F回路108からDRAM111へのアクセスに対しリードライトする。ここで、DMAC105とCPU用DRAM I/F回路108がDRAM111に同時あるいはどちらかがアクセス中にどちらかがアクセスした場合、アービタ回路107によりDMAC105を優先的にアクセスさせるか、DRAM I/F回路108にアクセスさせるかを決定する。

【0060】なお、アドレス領域決定レジスタ109に対して領域を決定して、その決定されたアドレスに対してアクセスしたユニット（CPU100かDMAC105）が優先権を取得できるようにする。

【0061】図6は、図5に示したアクセス制御装置の詳細構成を説明するブロック図であり、図5と同一のものには同一の符号を付してある。

【0062】図において、109-1～109-3はアドレスレジスタで、優先順位別のアドレス領域決定レジスタとして機能し、優先順位を高めたいアドレスのアドレス領域を決定する。

【0063】112-1～112-3はコンパレータで、DMAC105、CPU100のDRAMアクセスが優先順位アドレスで決定されたアドレスと同じかを判定して、その判定結果をアービタ回路107に出力する。アービタ回路107は、コンパレータ112-1～112-3からの判定情報に基づいてDMAC105にウェイトをかけたり、CPU100にウェイトをかけたりする。

【0064】105Aはアドレスレジスタで、DMA時に途中で停止した場合のためのアドレスを保持する。108Aはアドレスレジスタで、CPUアクセス時に途中で停止した場合のためのアドレスを保持する。

【0065】106Aはデータレジスタで、DMAC、CPUのどちらかのアクセスがきて、さらにもう一方のユニットからのアクセスがきたときのためのウェイトをかけられたユニットのデータを一時保持する。

【0066】このように構成されたメモリアクセス制御装置において、CPU100は最初にアドレス領域決定レジスタ109-1～109-3に優先順位を上げたDRAM111のアドレス領域を設定する。DMAかCPUの片方があるいは両方が近いタイミングで発生した際に、コンパレータ部112を構成するコンパレータ112-1～112-3にCPU、DMAのアドレスと比較し、そのアドレスが優先順位レジスタの指定されたアド

(8)

13

レスと一致した場合に、そのアクセスしたユニットが選択される。

【0067】なお、その際、幾つかのアドレスレジスタと一致した場合、優先順位レジスタの順位が高い方が優先され、アービタ回路107によりCPU、DMACのどちらかを決定する。

【0068】このときに優先順位が高いユニットが来た場合、もう一方のユニットに対してWAIT信号を与え、そのユニットはCPU100の場合は、CPU100にCRDYn信号を返す、DMAC105の場合は、内部でアービタ回路107にRDY信号を返さずにDMAC105はウエイト状態になる。

【0069】また、この場合、各ユニットはそのアドレスを保持できるアドレスレジスタ105A、108Aを持ち、そのウエイト状態が解除された場合に、そのアドレスレジスタ105A、108Aに保持されていたそれぞれのアドレスを再度DRAM111に対して出力することによりシーケンスを再開することができる。

【0070】以下、本実施形態の特徴的構成について図5等を参照して説明する。

【0071】上記のように構成された所定のデータ処理を行う第1のユニット（図4に示したCPU100）と、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニット（DMAC105）とのメモリアクセスを調停可能なメモリアクセス制御装置であって、前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定手段（アドレスレジスタ109-1～109-3）と、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定手段（コンパレータ112-1～112-3）とを有するので、メモリ領域の特定の領域（本実施形態では図7に示すバンドメモリエリアに対してDMAC105のアクセス権を高く設定している）に対する第1のユニットと第2のユニットとによるメモリアクセス権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアクセス調停環境を自在に構築することができる。

【0072】また、前記決定手段（コンパレータ112-1～112-3）は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定手段（アドレスレジスタ109-1～109-3）により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリア

14

クセス権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0073】さらに、前記決定手段（コンパレータ112-1～112-3）は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定手段（アドレスレジスタ109-1～109-3）により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0074】以下、図7に示すフローチャートを参照して、本発明に係るメモリアクセス制御装置におけるメモリアクセス制御動作について説明する。

【0075】図7は、本発明に係るメモリアクセス制御装置におけるデータ処理手順の一例を示すフローチャートである。なお、（1）～（12）は各ステップを示す。

【0076】まず、ステップ（1）は優先順位を決定するアドレス領域決定レジスタ109に設定値を書き込むことで、まず最初の様々なCPU100、ハードウェアに関する設定をおこなうときに同じように、DRAM111のアドレス領域に優先順位を決定する。

【0077】次に、CPU100がアクセスに入ると、ステップ（2）で、CPU100がDRAM111にアクセスする。この時に、ステップ（3）で、DMAが同時に発生するか、CPUアクセスが既に始まり途中のシーケンス中のときに、DMAのアクセスがスタートしたかどうかを判別して、NOならばステップ（12）へ進み、YESならば、ステップ（4）で、さらに、CPU100よりDMAのアドレスが優先順位が高いかどうかを判定し、NOならばステップ（12）へ進み、YESならば、そのままアービタ回路107はCPU100を一時停止させDMAC105はDRAMアクセスを開始し、ステップ（5）で、DMAによるDRAMアクセスが終了するまで、CPU100によるDRAMアクセスを一時停止させ、DMAのアクセスが終了した段階で、

(9)

15

ステップ(6)で、CPU100のDRAMアクセスは再開して、ステップ(12)で、アクセスを終了する。

【0078】一方、ステップ(1)の直後に、DMAがアクセスに入った場合は、ステップ(7)で、DMACがDRAM111にアクセスする。この時に、ステップ(8)で、CPUアクセスが同時に発生するか、DMAが既に始まり途中のシーケンス中のときに、CPUのアクセスがスタートしたかどうかを判別して、NOならばステップ(12)へ進み、YESならば、ステップ

(9)で、DMAよりCPU100のアドレスが優先順位が高いかどうかを判定して、NOならばステップ(12)へ進み、YESならば、そのままアービタ回路107はDMAを一時停止させ、CPU100はDRAMアクセスを開始し、ステップ(10)で、CPU100によるDRAMアクセスが終了するまで、DMAによるDRAMアクセスを一時停止させ、CPU100のアクセスが終了した段階で、ステップ(11)で、DMAのDRAMアクセスを再開して、ステップ(12)で、アクセスを終了する。

【0079】以下、本実施形態の特徴的構成について図6に示すフローチャートを参照して説明する。

【0080】上記のように構成された所定のデータ処理を行う第1のユニット(CPU)と、ダイレクトメモリアccessにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニット(DMAC105)とのメモリアccessを調停可能なメモリアccess制御装置のメモリアccess方法であって、前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程(図7のステップ(1))と、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定工程(図7のステップ(2)～(12))とを有するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアccess権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアccess調停環境を自在に構築することができる。

【0081】また、前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアccess権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのア

16

ccess権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0082】さらに、前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアccess要求時に、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアccess権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0083】また、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアccessにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアccessを調停しながら印刷データを処理する印刷制御装置のメモリアccess方法であって、前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程と、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定工程とを有するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアccess権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアccess調停環境を自在に構築することができる。

【0084】さらに、前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアccess権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0085】また、前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアccess要求

(10)

17

時に、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0086】次に、図8を参照して、図6に示したアドレスレジスタ109による優先順位別のアドレスマップについて説明する。

【0087】図8は、本発明に係るメモリアクセス制御装置における優先順位別のアドレスマップを説明する図である。

【0088】図において、例えば「0x20000000h-0x21000000h」までDRAMの領域とし、そのうちの「0x20000000h-0x20200000h」までが優先順位第1位の領域で、バンドメモリで使用する。また、「0x20200000h-0x20400000h」までが優先順位第2位の領域で、オブジェクトコード、データを配置するエリア、その他が優先順位第3位の領域で、ワークメモリののエリアとし、そのもっともパフォーマンスを要する用途に関して優先順位を上げて他のアクセスによりそのアクセス頻度が落ちるようなことを避けるようにしている。

【0089】これにより、例えばCPU100がその他の領域、DMACがバンドメモリの領域（第1の領域）に同時もしくは近いタイミングで発生した場合は、DMAC105によるDMAを優先するようにコンパレータ112-1~112-3の判定情報に基づいてアービタ回路107が調停する。

【0090】また、CPU100がオブジェクトコードの領域（第2の領域）を、DMAC105によるDMAがその他の領域にアクセスしてきた場合は、CPU100を優先的にアクセスさせるようにコンパレータ112-1~112-3の判定情報に基づいてアービタ回路107が調停する。

【0091】図9は、図6に示したメモリアクセス制御装置の動作を説明するためのタイミングチャートであり、CPU、DMAのアクセスが重なり優先順位が高いDMAアクセスがCPUのアクセスを一時停止したときの状態に対応し、図6の信号と同一の信号には同一の符号を付してある。なお、最初にCPUがアクセスにくるものとし、CPU100、DMAC105ともに4ワードリードとする。

18

【0092】例えばDMACのアクセスを「20000000h」からの4ワード、CPU100のアクセスを「202FFFF0h」からの4ワードリードとする。

【0093】CPU100がアクセスにきて、最初の1ワードをリードする前に、DMAC105からのリクエストがきたとして、DRAMコントローラ106はCPU100の1ワードのデータをリードして、一旦CPU100のリードは中断する。

【0094】従って、CPU100に対してCRDYN信号をTrueにしないでおく。このとき「1」インクメントした、次にアクセスする予定のアドレスを内部のアドレスレジスタ108Aに保持しておく。

【0095】次に、一旦リカバリフェーズにおいて、DMAC105によるDRAM111の4ワードリードを行う。終了後またリカバリフェーズにおいて、CPU100のDRAM111に対するアクセスに戻る。

【0096】このとき、異なるRowアドレスの場合、再度Rowアドレスを出してやる必要がある。そして、また次のアドレスから3ワードリードをして終了になる。

【0097】以上のような方法で優先順位の高いDRAMアドレスに対してDMAC105、CPU100の優先順位を決定して、どちらかを一時停止にしてDRAM111のアクセスを有効にアクセスすることにより、オーバーラン等を回避することができる。

【0098】〔第2実施形態〕上記第1実施形態では、ターゲットのメモリがDRAMとする場合について説明したが、SRAM等のメモリ媒体であっても本発明を適用することができる。

【0099】上記実施形態によれば、RAMの領域でアドレス単位で優先順位（重み付け）を決定してDMA、CPUのメモリアクセスに対して、そのアクセスするアドレスによりCPU、DMAのアクセスに対してCPUを待たせてDMAを起動させたり、またその逆にDMAを待たせてCPUのメモリアクセスを優先させたりするので、ページプリンタの処理時間に応じたメモリアクセスを提供し、パフォーマンスアップあるいはオーバーランの回避を行うことができる。

【0100】具体的には、図3に示したGA1704に対して図6に示したハード構成を適用し、さらに図7に示す手順に従いメモリアクセスを制御する構成とすればよい。以下、その実施形態の特徴について説明する。

【0101】図3に示すように構成された所定のデータ処理を行う第1のユニット（MPU1701）と、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニット（DMAC105）とのメモリアクセスを調停しながら印刷データを処理する印刷制御装置であって、前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に

(11)

19

設定する設定手段（アドレスレジスタ109-1～109-3）と、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定手段（コンパレータ112-1～112-3）とを有するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアクセス調停環境を自在に構築することができる。

【0102】さらに、前記決定手段（コンパレータ112-1～112-3）は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定手段（アドレスレジスタ109-1～109-3）により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域（本実施形態では図8に示すバンドメモリエリアに対してD

MAC105のアクセス権を高く設定している）に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0103】また、前記決定手段（コンパレータ112-1～112-3）は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、

他方のユニットによるメモリアクセス要求時に、前記設定手段（アドレスレジスタ109-1～109-3）により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0104】また、図7に示すように、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセス

20

を調停しながら印刷データを処理する印刷制御装置のメモリアクセス方法であって、前記メモリの任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程

（図7のステップ（1））と、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定工程（図7のステップ（2）～

（12））とを有するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアクセス調停環境を自在に構築することができる。

【0105】さらに、前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0106】また、前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0107】

【発明の効果】以上説明したように、本発明に係る第1の発明によれば、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停可能なメモリアクセス制御装置であって、前記メモリの任意のアクセス

(12)

21

領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定手段と、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定手段とを有するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアクセス調停環境を自在に構築することができる。

【0108】第2の発明によれば、前記決定手段は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0109】第3の発明によれば、前記決定手段は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0110】第4の発明によれば、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停しながら印刷データを処理する印刷制御装置であって、前記メモリ中の任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定手段と、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第

22

2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定手段とを有するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアクセス調停環境を自在に構築することができる。

【0111】第5の発明によれば、前記決定手段は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0112】第6の発明によれば、前記決定手段は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定手段により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0113】第7の発明によれば、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停可能なメモリアクセス制御装置のメモリアクセス方法であって、前記メモリ中の任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程と、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定工程とを有するので、メモリ領域の特定の領域に対する第1のユニットと第2の

(13)

23

ユニットとによるメモリアクセス権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアクセス調停環境を自在に構築することができる。

【0114】第8の発明によれば、前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0115】第9の発明によれば、前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0116】第10の発明によれば、所定のデータ処理を行う第1のユニットと、ダイレクトメモリアクセスにより前記第1のユニットとは独立してメモリに対してアクセスを実行する第2のユニットとのメモリアクセスを調停しながら印刷データを処理する印刷制御装置のメモリアクセス方法であって、前記メモリ中の任意のアクセス領域毎に対して前記第1のユニットと第2のユニットとによるアクセス優先順位を個別に設定する設定工程と、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の所定の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定する決定工程とを有するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を個別に設定でき、特定のメモリ領域に記憶されるデータ種別に応じたメモリアクセス調停環境を自在に構築することができる。

24

【0117】第11の発明によれば、前記決定工程は、第1と第2のユニットによる前記メモリに対する同時アクセス要求時、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0118】第12の発明によれば、前記決定工程は、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによるメモリアクセス要求時に、前記設定工程により設定された前記アクセス優先順位に基づいて前記第1と第2のユニットによる前記メモリ中の任意の領域に対する競合アクセス要求のいずれか一方を優先させるようにアクセス権を決定するので、メモリ領域の特定の領域に対する第1のユニットと第2のユニットとによるメモリアクセス権を他の領域とは別個独立して設定でき、第1と第2のユニットの一方のユニットにより前記メモリに対するアクセス実行中に、他方のユニットによる前記メモリに対するアクセス要求が同時に発生した場合でも、個々のメモリ領域毎に第1のユニットと第2のユニットとのアクセス権を異ならしめて、意図する一方のユニットによるデータアクセス効率を高めることができる。

【0119】従って、従来のようなメモリ領域全体に対するアクセス権の設定によらず、メモリ領域の特定の領域毎に複数のメモリアクセスユニットに対して個別にアクセス権を設定することができ、特定の領域に記憶されるデータに対するアクセス環境を自在に設定して、特定の領域に記憶されるデータ書き込みまたは読み出し効率を格段に向上させることができ、例えば記憶させるデータが印刷データであれば従来問題とされているデータ転送規定時間内に意図する印刷データをプリンタエンジンに転送して、転送エラーの発生を確実に防止することもできる等の効果を奏する。

【図面の簡単な説明】

【図1】本発明を適用可能な第1の出力装置の構成を示す断面図である。

【図2】本発明を適用可能な第2の出力装置の構成を示す外観図である。

【図3】図2に示した第2の出力装置の制御構成を説明するブロック図である。

【図4】本発明の第1実施形態を示す印刷制御装置を適用可能な印刷システムの構成を説明するブロック図であ

(14)

25

26

る。

【図5】本発明の第1実施形態を示すメモリアクセス制御装置の構成を説明するブロック図である。

【図6】図5に示したアクセス制御装置の詳細構成を説明するブロック図である。

【図7】本発明に係るメモリアクセス制御装置におけるデータ処理手順の一例を示すフローチャートである。

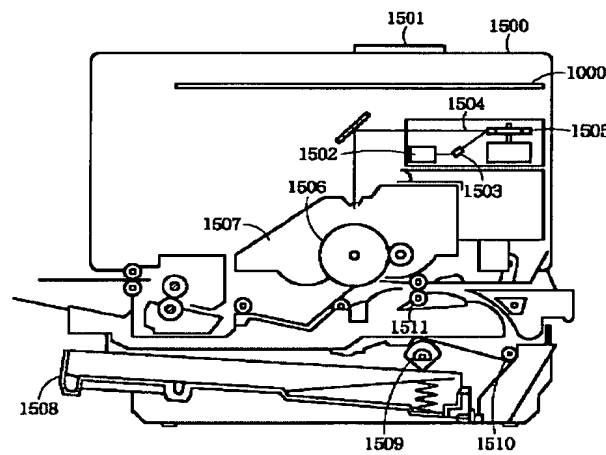
【図8】本発明に係るメモリアクセス制御装置における優先順位別のアドレスマップを説明する図である。

【図9】図6に示したメモリアクセス制御装置の動作を説明するためのタイミングチャートである。

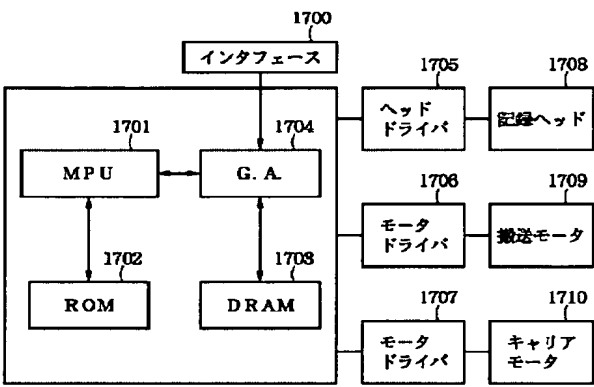
【符号の説明】

- 100 CPU
- 102 GA
- 104 I/Oレジスタ
- 105 DMAC
- 106 DMACコントローラ
- 107 アービタ回路
- 108 DRAM I/F回路
- 109 アドレス領域決定レジスタ
- 109-1~109-3 アドレスレジスタ
- 112 コンパレータ部
- 112-1~112-3 コンパレータ

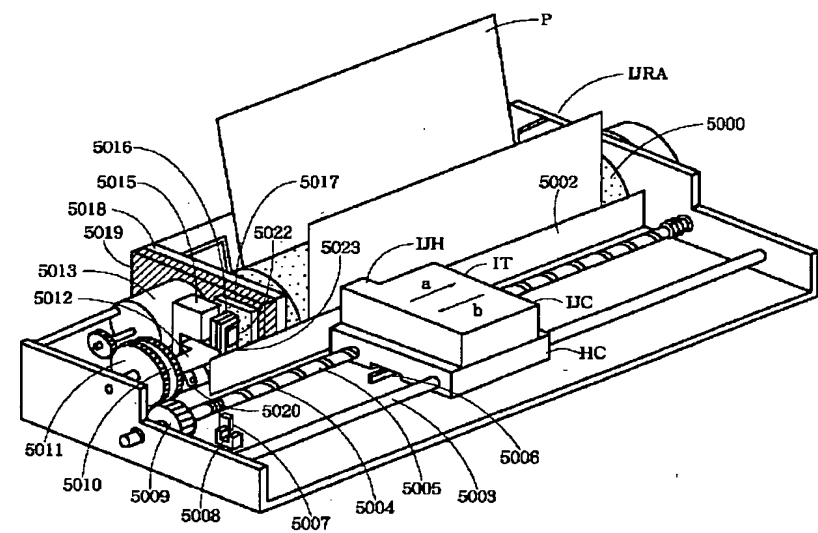
【図1】



【図3】



【図2】

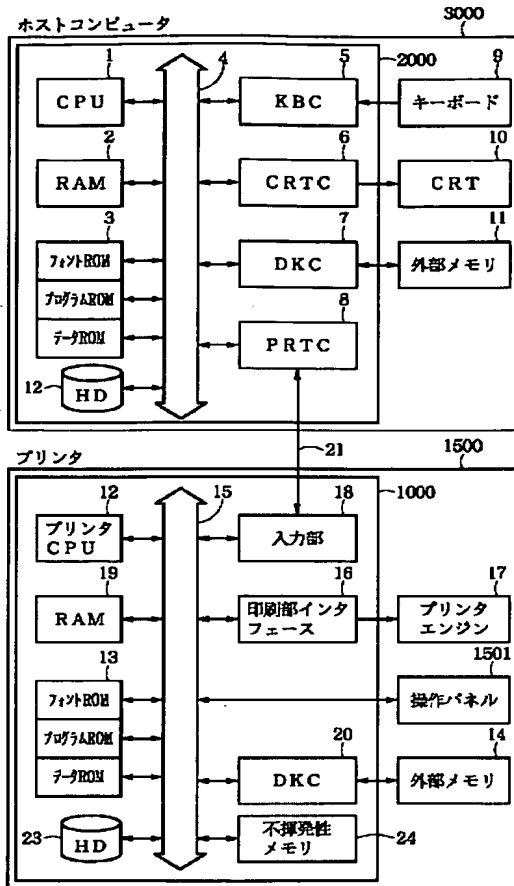


【図8】

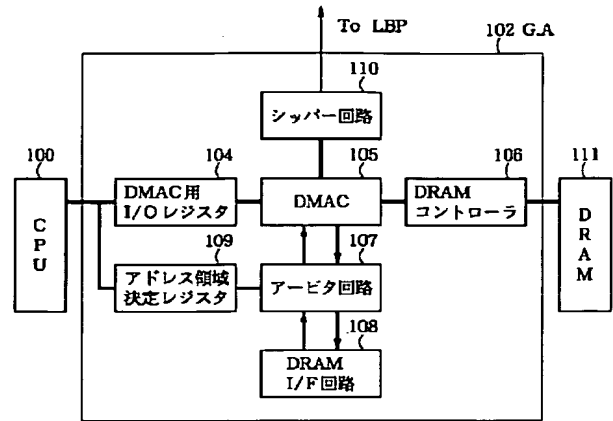
0x20000000	バンドメモリ
0x20200000	オブジェクトコードエリア
0x20400000	その他
0x21000000	

(15)

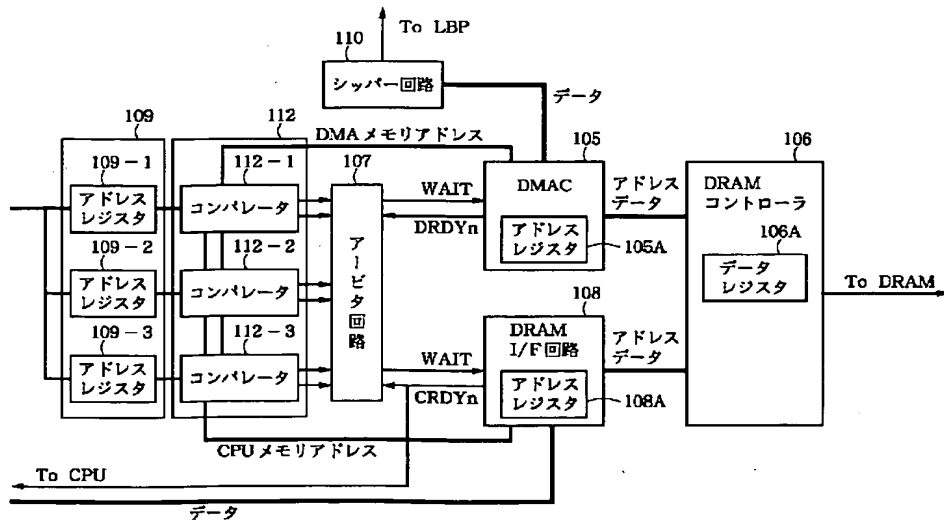
【図4】



【図5】

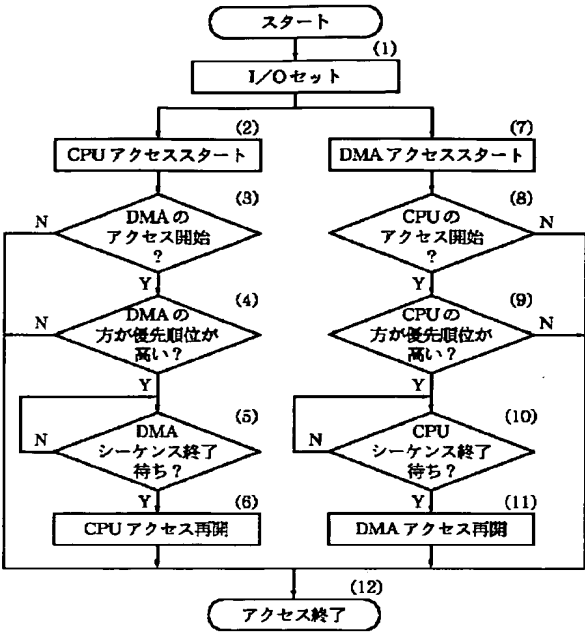


【図6】



(16)

【図7】



【図9】

